(19)日本国特許庁（ＪＰ）　(12)公開特許公報（Ａ）　(11)特許出願公開番号

特開平8－87441

(43)公開日　平成８年(1996)４月２日

(51)Int.Cl.[6]	識別記号	庁内整理番号	ＦＩ	技術表示箇所
Ｇ０６Ｆ　12/00	５６０　Ｂ	7623－5B		

審査請求　未請求　請求項の数５　ＯＬ　（全　９　頁）

(21)出願番号　特願平6－223267

(22)出願日　平成６年(1994)９月19日

(71)出願人　000005223
富士通株式会社
神奈川県川崎市中原区上小田中1015番地

(72)発明者　▲廣▼瀬　雅隆
愛知県名古屋市東区東桜一丁目13番３号
富士通名古屋通信システム株式会社内

(72)発明者　橋戸　茂幸
愛知県名古屋市東区東桜一丁目13番３号
富士通名古屋通信システム株式会社内

(72)発明者　糟谷　悟史
愛知県名古屋市東区東桜一丁目13番３号
富士通名古屋通信システム株式会社内

(74)代理人　弁理士　井桁　貞一

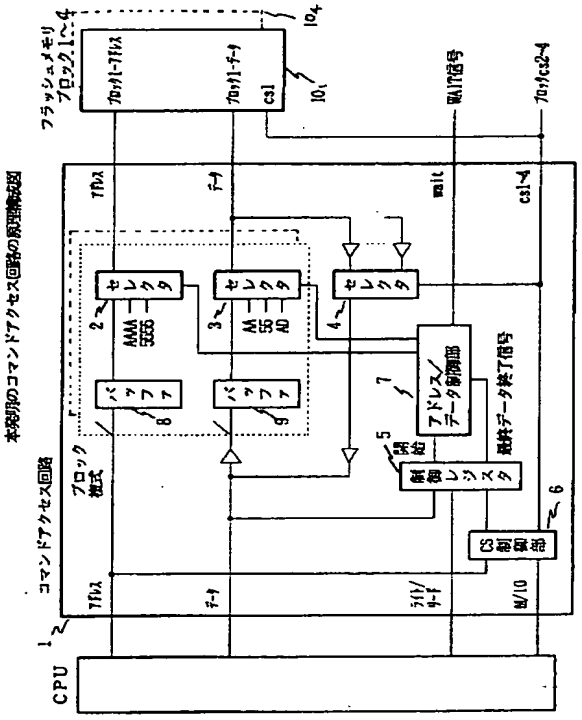
最終頁に続く

(54)【発明の名称】　フラッシュメモリアクセス方式

(57)【要約】

【目的】　フラッシュメモリに対しデータを書き込むアクセス方式に関し、ＣＰＵとフラッシュメモリ間にコマンドアクセス部を設け、ＣＰＵの負荷の軽減を図ることを目的とする。

【構成】　ＣＰＵとフラッシュメモリとの間にコマンドアクセス回路１を設け、ｎ回の手順中の最初のｎ－１回までの動作をＣＰＵに代わりフラッシュメモリにアクセスすることにより、ＣＰＵは通常のＲＡＭに対するデータの書き込みと同様の動作のみで、フラッシュメモリに対しデータの書き込みを行うように構成する。フラッシュメモリは、全メモリをｎ個にブロック化（フラッシュメモリブロック10）し、コマンドアクセス回路１内のチップセレクト制御部６で下位アドレスをデコードして作成されたＣＳ線によりそれぞれのブロックを選択するように構成する。



【特許請求の範囲】

【請求項1】　（ｎ－１）個のコマンドの後のデータが書き込まれるフラッシュメモリを備えた装置において、ＣＰＵとフラッシュメモリとの間にコマンドアクセス回路を設け、ｎ回の書込み手順中の最初の（ｎ－１）回目の手順までは、ＣＰＵに代わりコマンドアクセス回路からフラッシュメモリにコマンド列を与え、ｎ回目の手順で、ＣＰＵから受け取ってバッファに蓄積されているアドレスにＣＰＵから受け取ってバッファに蓄積されているデータを書込み、該動作を繰り返すことにより、ＣＰＵは通常のＲＡＭに対するデータの書き込みと同様の動作のみで、フラッシュメモリに対しデータの書き込みを行うことを特徴とするフラッシュメモリアクセス方式。

【請求項2】　ＣＰＵより前記コマンドアクセス回路の制御レジスタに対しフラッシュメモリに行う処理を指示し、その後該コマンドアクセス回路が該処理に対応するコマンドシーケンスによるフラッシュメモリへのアクセス動作を行うことにより、フラッシュメモリ書き込み処理、リード処理、レジスタ変更処理を可能とすることを特徴とする請求項１記載のフラッシュメモリアクセス方式。

【請求項3】　前記コマンドアクセス回路に、ＣＰＵよりのアドレス確定時にアドレスを一時格納し、データ確定時にデータを一時格納するデータ設定レジスタを設け、該データ設定レジスタのバッファ値を変更することにより、手順数及び手順のアドレス／データ値を可変可能としたことを特徴とする請求項１記載のフラッシュメモリアクセス方式。

【請求項4】　前記コマンドアクセス回路において、全フラッシュメモリに対しデータを書き込む場合、フラッシュメモリを複数のブロックに分割し、該複数のブロックをアドレスの下位ビットをデコードしたＣＳ線により制御し、また該ブロックに与えるコマンド手順をずらすことにより、ＣＰＵからは連続してデータが書き込めるＲＡＭ同様のアクセスを可能とすることを特徴とする請求項１記載のフラッシュメモリアクセス方式。

【請求項5】　前記コマンドアクセス回路において、バッファに蓄積された最終データライト終了までの間、制御レジスタよりの最終データ終了信号をＣＰＵが監視可能なようにすることにより、最終データの書込み処理の完了を通知することを特徴とする請求項１記載のフラッシュメモリアクセス方式。

【発明の詳細な説明】

【０００１】

【産業上の利用分野】本発明はフラッシュメモリに対しデータを書き込むためのメモリアクセス方法に関する。従来のフラッシュメモリを有する装置において、フラッシュメモリに対してデータの書き込みを行う場合、フラッシュメモリ書き込み手順を各々のフラッシュモリのチップに対して行う必要があった。

【０００２】その為、システムデータのローディング等大容量のデータをフラッシュメモリに書き込む場合に、１バイトのデータの書き込みの為に何回もアクセス（コマンド）が必要になり、ＣＰＵの処理の負担、ローディング時間の増大等数々の問題が生じていた。

【０００３】

【従来の技術】フラッシュメモリは電気的に書換えを行うリードオンリーメモリ素子の一つであり、フラッシュメモリの品種には、５Ｖ等の回路動作用の通常の単一電源で書換え可能なものがある。このようなフラッシュメモリでは、誤って記憶内容が書換えられる可能性があるので、これを防止するための保護が必要である。この保護する方式の一として、上位の書込み制御装置、例えばＣＰＵからフラッシュメモリの特定のアドレスと特定のデータの対であるコマンドシーケンスを送出し、フラッシュメモリはこの特定アドレスと特定のデータの対を受け取ったとき、書込みコマンドが発行されたと認識して、次に指定される実際の書込みアドレスにデータを書き込むものがある。このようなコマンドシーケンスを使用する場合には、書込みを行うデータに関して、１ワード（１つのアドレスで指定されるデータ）毎に、コマンドシーケンスとデータとを交互に送りながら書込みを行う。

【０００４】従来のこの種のフラッシュメモリに対する書き込みコマンド手順を図９に示す。図は、１バイトのデータ（ＰＤ）の書き込みの為に、４バスサイクルのコマンド手順を必要とする場合を示す。フラッシュメモリ書き込み動作は、ＣＰＵのコマンド手順①～④毎に１ワードがメモリに書き込まれ、全ワードが終了するまでこの動作が繰り返される。

【０００５】図には、以下の如き３個のコマンドからなるコマンドシーケンスを与えた後のバスサイクルでデータが書き込まれるフラッシュメモリについての例が示される。

【０００６】最初のバスライトサイクルに１つ目のコマンドとして、アドレスに55555$_H$（下側添字$_H$は１６進数表現であることを示す。以下同様）データにAA$_H$を、次のバスサイクルに２つめのコマンドとして、アドレスに2AAA$_H$を、データに55$_H$を、３番目のバスサイクルで、３個目のコマンドとしてアドレスに5555$_H$を、データにA0$_H$を順次与える。これにより書込みコマンドシーケンスは完了し、４番目のバスサイクルで、書き込むべきデータＰＤと書込み先のアドレスＰＡとを与えると、書込みが行われる。従来は、このようなコマンドシーケンスと書込みデータを、ＣＰＵから直接、フラッシュメモリに与えていたので、例えば１バイトのデータＰＤを書き込むために、ＣＰＵはメモリに対して４回アクセスする必要があり、ＣＰＵの処理回数が増大することになる。以上はコマンド手順が４回の場合であるが、コマンド手順が４回以上の場合は更にＣＰＵの処理回数が増大

する。

【０００７】

【発明が解決しようとする課題】従って、従来のフラッシュメモリの書き込み手順では、システムデータのローディング等大容量のデータをフラッシュメモリに書き込む場合、１バイトのデータの書き込みの為に４回のアクセス（コマンド）が必要となり、ＣＰＵの処理の負担、ローディング時間の増大等数々の問題が生じていた。

【０００８】本発明は、ＣＰＵとフラッシュメモリとの間にコマンドアクセス回路を設け、ｎ回の手順中の最初のｎ－１回のコマンドシーケンスを与える動作をこのアクセス回路に代行させるて、ＣＰＵは通常のＲＡＭに対するデータの書き込みと同様の動作のみで、フラッシュメモリに対しデータの書き込みを行うようにすることを目的とする。

【０００９】

【課題を解決するための手段】本発明のコマンドアクセス回路の原理構成図を図１に示す。図において、１はコマンドアクセス回路、２はアドレスセレクタ、３はデータセレクタ、４はブロックセレクタ、５は制御レジスタ、６はチップセレクト制御部、７はアドレス／データ制御部、８はアドレスバッファ、９はデータバッファ、10_1 ～10_4 は例えはコマンドシーケンスが３個のコマンドからなる場合に４ブロックに分けたフラッシュメモリブロックを示す。このメモリブロック数に対応してＣＰＵから送出されるアドレス／データを一時格納するバッファ８、９、および、コマンドシーケンスを送出するセレクタ２、３はそれぞれ４面設けられている。

【００１０】コマンドアクセス回路１は、ＣＰＵよりフラッシュメモリに対しデータをライトする場合の手順を代行する為にＣＰＵとメモリ間に設置されている。フラッシュメモリは、全メモリを４つにブロック化（フラッシュメモリブロック10_1 ～10_4 ）し、コマンドアクセス回路１内のチップセレクト制御部６がアドレスの下位ビットをデコードして作成するＣＳ信号によりそれぞれのブロックが選択される。

【００１１】なおＣＳ線は、ライト時には全ブロックが有効となり、リード時のみ各ブロックを随時選択する。原理は、ＣＰＵよりフラッシュメモリに対しデータをライトする場合、まずＣＰＵは、Ｉ／Ｏアクセスによりコマンドアクセス回路１内の制御レジスタ５に対しデータロード開始のフラグをセットする。

【００１２】このフラグがセットされない状態では、コマンドアクセス回路１はＣＰＵより入力されたアドレスをフラッシュメモリに対しそのまま中継するのみであり、リードデータも同様にメモリよりＣＰＵにそのまま中継される。なお、リードデータはブロックセレクタ４をＣＳ信号により制御し、有効ブロックのデータのみＣＰＵに中継する。

【００１３】データロード開始フラグがセットされると、アドレス／データ制御部７が起動され、以後の動作はデータをライトする場合の手順を代行する動作となる。

【００１４】

【作用】本発明のコマンドアクセス部書き込みコマンド動作手順を図２に示す。図は、特定Ｉ／ＯアドレスＷＲにより書込みプログラムが起動する動作手順を示す。

(1) ＣＰＵよりのライトデータを一時バッファ９に蓄積し、ＣＰＵよりのライトアドレスを一時バッファ８に蓄積する。

(2) フラッシュメモリブロック10に対し第一コマンドとして、アドレスセレクタ２によりアドレス5555を指示し、データセレクタ３によりデータAAを与える。

(3) フラッシュメモリブロック10に対し、第二コマンドとして、アドレスセレクタ２によりアドレス2AAAを指示し、データセレクタ３によりデータ55を与える。

(4) フラッシュメモリブロック10に対し、第三コマンドとしてアドレスセレクタ２によりアドレス5555を指示し、データセレクタ３によりデータADを与える。

(5) フラッシュメモリブロック10に、ＣＰＵからバッファ８に蓄積されていたライトアドレスPAを指示し、、バッファ９に蓄積されていたライトデータPDを与える。これよにりアドレスPAにデータPDが書き込まれる。

【００１５】アドレス／データ制御部７は、このような動作するアドレスセレクタ２及びデータセレクタ３の制御や、ＣＰＵに対する待ち制御を行う。コマンドアクセス回路１は、以上の動作を連続的に繰り返す。また最終データライト時には、動作(5) 終了までの間、最終データ終了信号を制御レジスタ５によりＣＰＵに監視可能な構造としている。

【００１６】

【実施例】本発明のコマンドアクセス回路の実施例１を図３に、そのコマンド動作のタイムチャートを図４に示す。　図３において、図１と同一番号は同一装置名を示す。実施例１は、全フラッシュメモリに対しデータを書込みを行う場合を示す。図７は、コマンドシーケンスが３個のコマンドからなる場合のシステム全体の構成を示す。また図８は、図７における４つのブロックに付与したアドレスを示すメモリマップである。書込みのコマンドシーケンスが、３個のコマンドの場合には、図８に示す如くフラッシュメモリを３＋１、つまり４つのブロック10_1 ～10_4に分ける。図８に示す如く、各ブロックは８ビットの下位アドレスをデコードしたＣＳ線で選択され、上位の１６ビットがアドレスとして与えられる。このような場合、ＣＰＵは順次送出する書込みデータの書込み先アドレスを１ずつインクリメントさせるので、全フラッシュメモリを４分割しＣＳ線により制御する。

【００１７】全フラッシュメモリに対しデータを書き込む場合、ＣＰＵは制御レジスタ５に対し全書き込み動作を通知し、その後、データと書込み先アドレスとを、全

てのバスサイクルで連続して送出する書き込み動作を行う。コマンドアクセス回路１は制御レジスタ５に書き込み動作の通知を受けると、ＣＰＵのＡＬＥ信号及びライト信号を監視し、アドレス確定時（ＡＬＥ信号の立ち上がり）時にアドレスをバッファに格納し、データ確定（ライト信号立ち上がり）時にデータをバッファに格納する。

【００１８】上記格納と同時に手順①～③を実行する。手順④時には、バッファに格納したアドレス／データをメモリに送出することにより書き込む。なお、手順①～④を実行中、他のブロックに対しても同時にコマンド手順を実行できるように、ブロック毎にバッファ／レジスタを複数持つ構成としている。

【００１９】各ブロックに対する書き込みコマンド動作のタイムチャート（実施例１）が図４に示される。図において、ＣＰＵのアドレス、ＣＰＵのライト信号、ＣＰＵのデータに対するコマンドアクセス部のブロック１，２，３，４における手順①～④の実行時におけるアドレスとデータを示す。

【００２０】コマンドアクセス部の各ブロック毎に手順を一つづつずらしてアドレスとデータを書き込み、手順④においてそれぞれきバッファに蓄積されているアドレスに対してバッファに蓄積されているデータを書き込む。手順①から手順④を繰り返すことにより各ブロック毎にプログラムアドレスとデータを順次書き込むことができる。一つのブロックにコマンドシーケンス（手順①～③）が与えられている間に、他の３つのブロックが順次書き込みが行われ、ＣＰＵから各バスサイクルで連続して送出される書込みデータがブロック１、２、２、４、１、２・・の如く１ブロックずつずれて１ワードづつ連続して書き込まれる。

【００２１】次に、本発明のコマンドアクセス回路内部構成図の実施例２を図５に示す。実施例２は任意のフラッシュメモリに対データ書き込み／消去を行う場合を示す。図において、11はコマンドアクセス回路、12はアドレスセレクタ、13はデータセレクタ、15は制御レジスタ、16はチップセレクト制御部、17はアドレス／データ制御部、18はアドレス設定レジスタ、19はデータ設定レジスタ、20はフラッシュメモリを示す。

【００２２】任意のフラッシュメモリ20に対しデータを書き込む場合、ＣＰＵは制御レジスタ15に対し書き込み動作を通知し、その後書き込み動作を行う。コマンドアクセス回路11は、制御レジスタ15に書き込み動作の通知を受けると、ＣＰＵのＡＬＥ信号を監視し、アドレス確定（ＡＬＥ信号の立ち上がり）と同時にメモリに対し手順①～③を実行する。

【００２３】尚、手順①～③を実行中、ＣＰＵに対してはＷＡＩＴを挿入し、処理を中断させる。手順①～③を実行した後、コマンドアクセス回路11はＷＡＩＴを解除し、メモリに対し書き込みのアドレス／データを与え、書き込み動作を完了する。

【００２４】任意のフラッシュメモリ20に対しデータの消去を行う場合は、コマンド手順（コマンドを構成するアドレス／データの値および手順数）が異なるため、コマンドアクセス回路11内のアドレス設定レジスタ18及びデータ設定レジスタ19により手順実行時のアドレス値及びデータ値の変更、アドレス／データ制御部17の手順数の変更の後、上記同様の処理を行うことにより対応する。

【００２５】メモリに対するコマンド動作のタイムチャート（実施例２）を図６に示す。図において、ＣＰＵのアドレス、ＣＰＵのライト信号、ＣＰＵのデータ、ＣＰＵのＷＡＩＴ信号に対するコマンドアクセス部の代行処理手順①～③の実行後におけるＷＡＩＴ信号によるアドレスとデータを示す。

【００２６】ＣＰＵのアドレスｎに対応するデータｎを送出時にＷＡＩＴ信号を挿入し、ＣＰＵの処理を中断してコマンドアクセス回路で手順①～③を代行し、代行実行後ＷＡＩＴ信号を解除して、メモリに対し書き込みのプログラムアドレスｎとデータｎを与え、書き込み動作を完了する。完了後に次のＣＰＵのアドレスｎ＋１に対応するデータｎ＋１を送出する。

【００２７】

【発明の効果】本発明により、フラッシュメモリに対するアクセス処理が容易となり、ＣＰＵの負担が軽減し、データのローディングに要する時間が１／４に削減される。

【図面の簡単な説明】

【図１】　本発明のコマンドアクセス回路の原理構成図

【図２】　本発明のコマンドアクセス部書き込みコマンド動作手順

【図３】　コマンドアクセス回路内部構成図の実施例１

【図４】　コマンド動作のタイムチャート（実施例１）

【図５】　コマンドアクセス回路内部構成図の実施例２

【図６】　コマンド動作のタイムチャート（実施例２）

【図７】　システム全体の構成図

【図８】　図７のメモリマップ

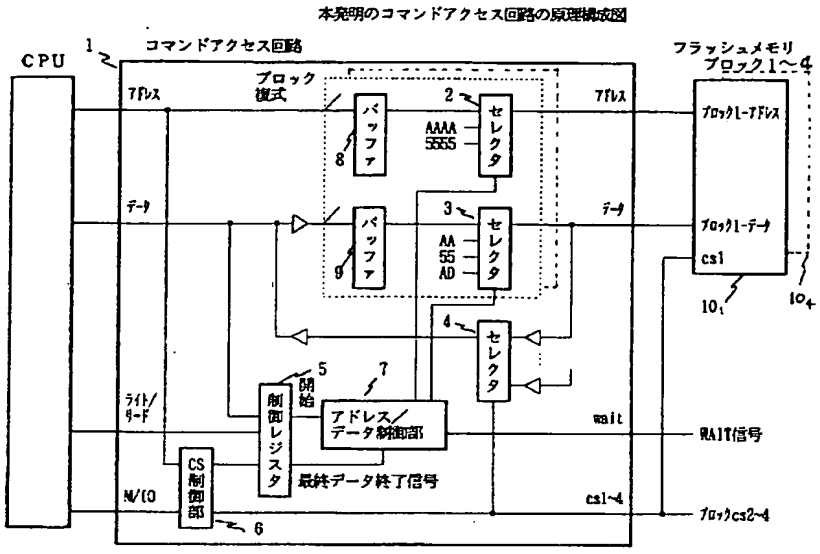
【図９】　従来のフラッシュメモリ書き込みコマンド手順

【符号の説明】

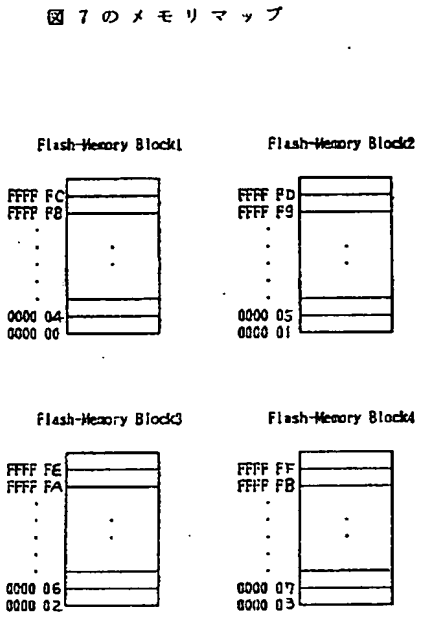
１，11　コマンドアクセス回路
２，12　アドレスセレクタ
３，13　データセレクタ
４　ブロックセレクタ
５，15　制御レジスタ
６，16　チップセレクト制御部
７，17　アドレス／データ制御部
８　アドレスバッファ
９　データバッファ
10　フラッシュメモリブロック

18　アドレス設定レジスタ
19　データ設定レジスタ
20　フラッシュメモリ

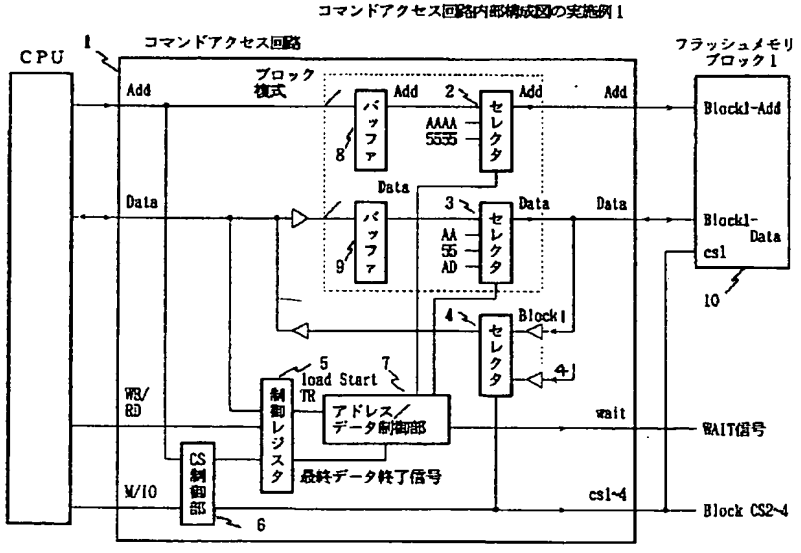
【図１】



【図８】

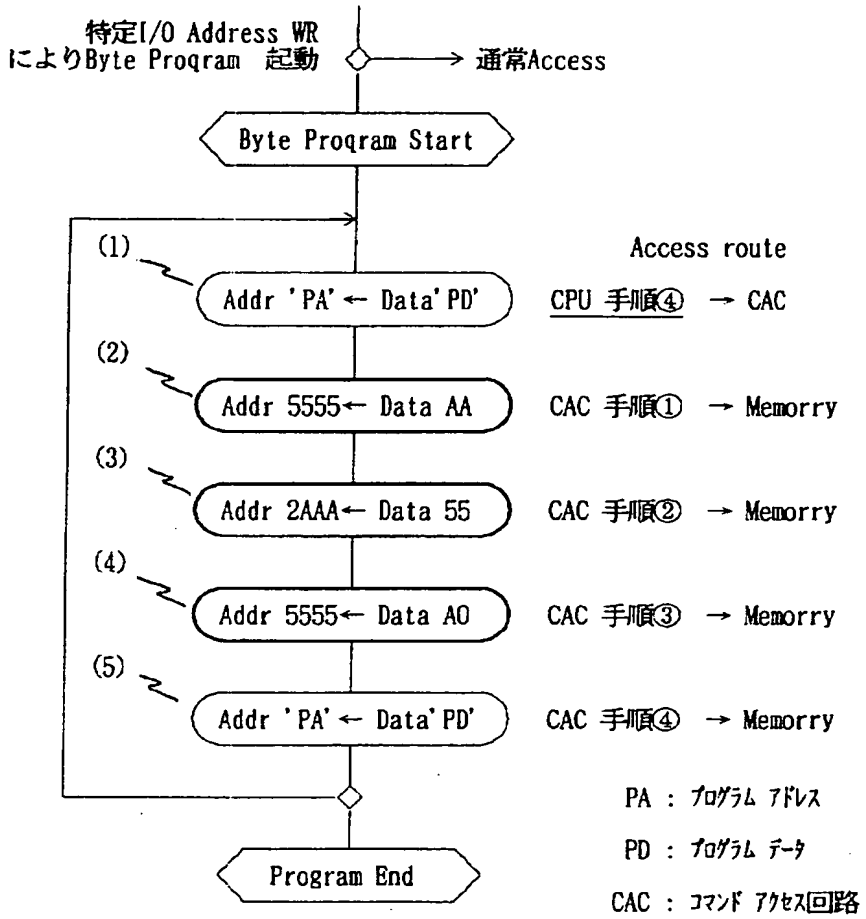


【図３】

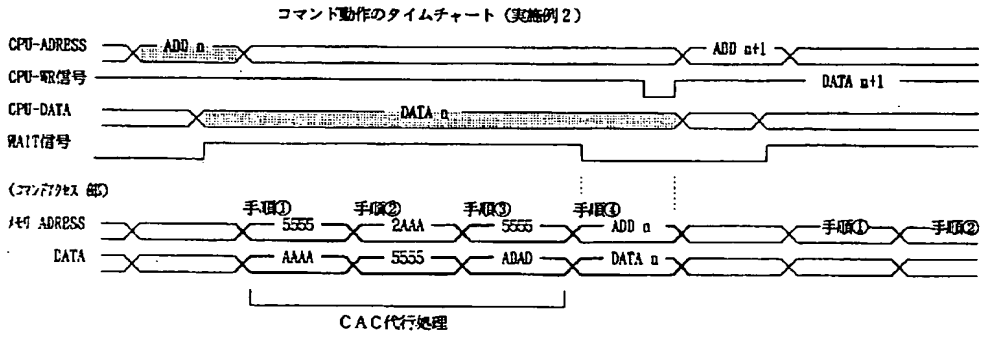


【図２】

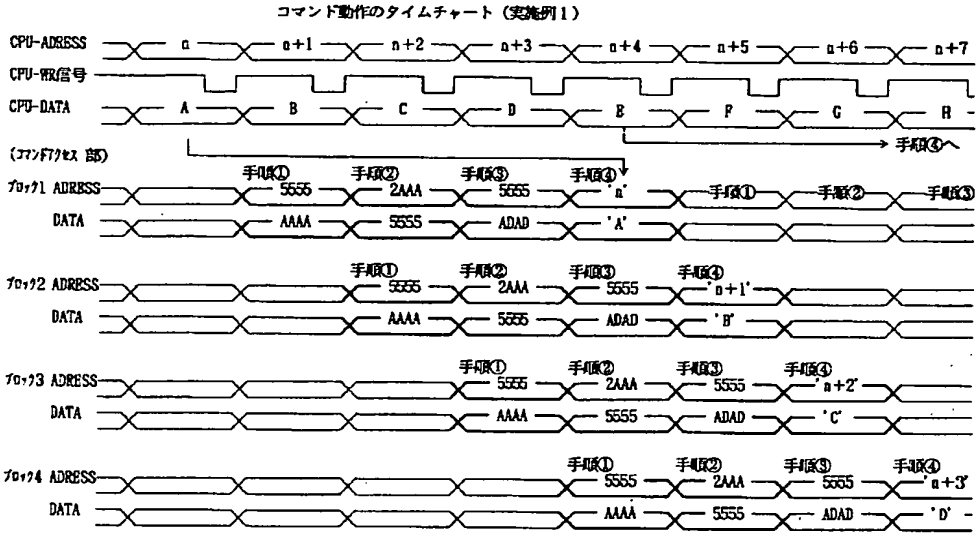
本発明のコマンドアクセス部書き込み動作手順



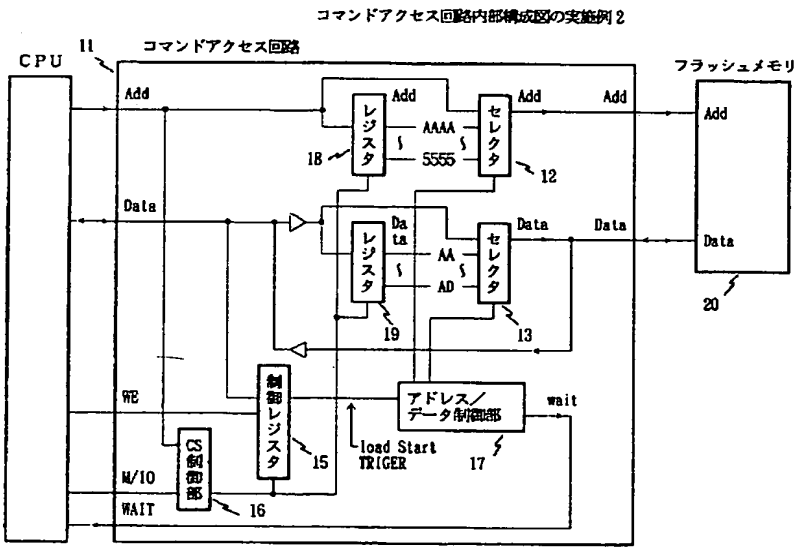
【図６】



【図４】

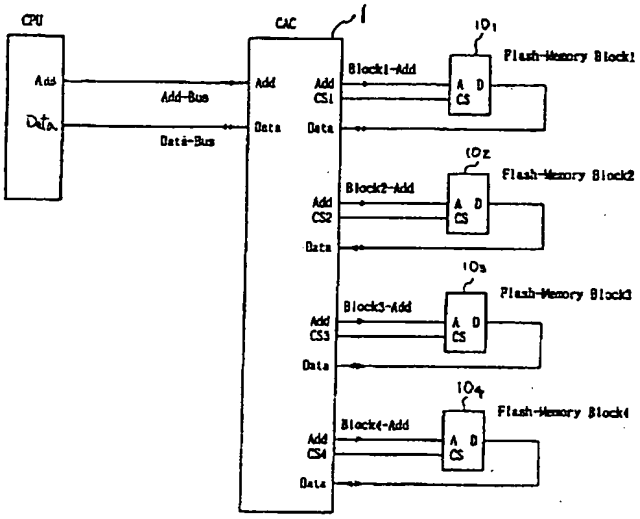

コマンド動作のタイムチャート（実施例１）
CPU-ADRESS
CPU-WR信号
CPU-DATA
(コマンドアクセス 部)
手順④へ
ﾌﾞﾛｯｸ1 ADRESS
DATA
ﾌﾞﾛｯｸ2 ADRESS
ﾌﾞﾛｯｸ3 ADRESS
ﾌﾞﾛｯｸ4 ADRESS
手順①
手順②
手順③
手順④
5555
2AAA
AAAA
ADAD
'n'
'n+1'
'n+2'
'n+3'
'A'
'B'
'C'
'D'

【図５】


コマンドアクセス回路内部構成図の実施例２
CPU
11
コマンドアクセス回路
フラッシュメモリ
Add
Data
WE
M/IO
WAIT
レジスタ
セレクタ
AAAA
5555
AA
AD
18
19
12
13
20
制御レジスタ
CS制御部
アドレス／データ制御部
wait
load Start TRIGER
15
16
17

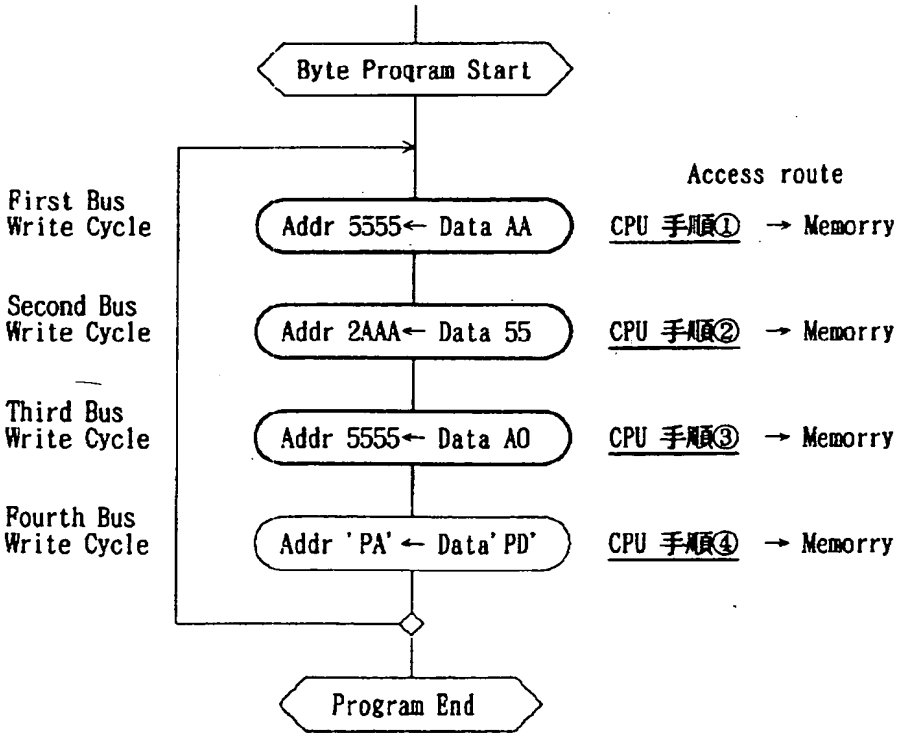
【図７】

システムの全体構成図
（３個のコマンドからなるシーケンス）



【図９】

従来のフラッシュメモリ書き込みコマンド手順



フロントページの続き

(72)発明者 柳原 隆洋
愛知県名古屋市東区東桜一丁目13番３号
富士通名古屋通信システム株式会社内

(72)発明者 塚本 利昭
愛知県名古屋市東区東桜一丁目13番３号
富士通名古屋通信システム株式会社内